



CHAPITRE N°4 : Logique dynamique

PLAN :

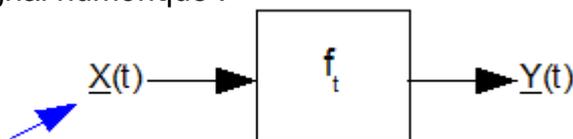
I) Introduction	p1
II) Porte avec délai	p1
III) Composition des délais	p2
IV) Systèmes séquentiels asynchrones	
1) Topologie des réseaux logiques	p2
2) Bascule D (en anglais : data flip-flop => DFF)	p3
V) Systèmes séquentiels synchrones	
1) Définition	p3
2) Machine de Moore synchrone	p4
3) Réalisation	p4
4) Registre	p4



I) Introduction

logique dynamique : qui dépend du temps, à l'inverse de la logique combinatoire.
étudier des opérateurs qui gèrent des fonctions du temps
pour $\forall t \in \mathbb{R} : t \mapsto X(t) \in B^n$.

signal numérique :

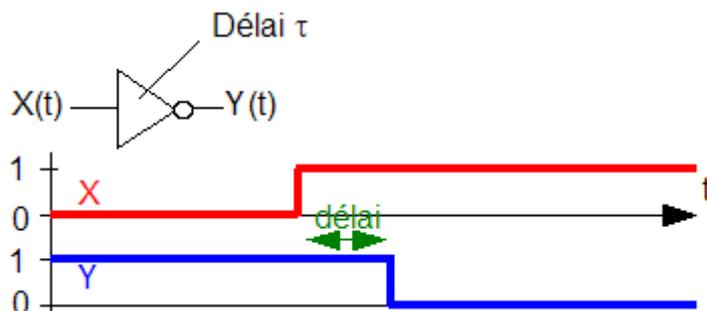


fonction du temps

La fonction ne dépend pas du temps en réalité (on aura juste un décalage dans le temps).



II) Porte avec délai



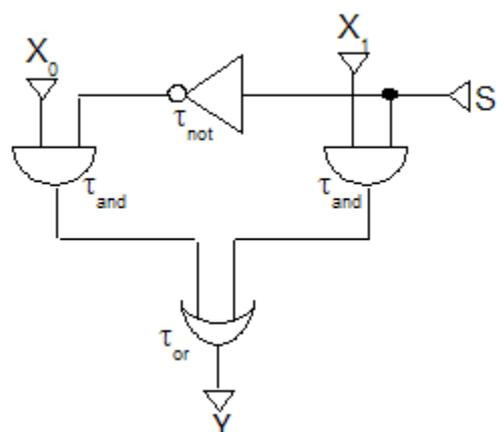
Ce schéma est un chronogramme (en anglais : timing).

Cet opérateur est stationnaire et causal (car la cause précède l'effet)

On dit qu'un opérateur est stationnaire si le délai est le même quelque soit l'instant où apparaît le signal.



III) Composition des délais



délai not = $\tau_{not} = T_{p(Y / \text{augmentation du temps})}$ (/ : par rapport)

$Y = \text{Not}(X)$.

généralement : $T_{p(Y / \text{augmentation du temps})} \neq T_{p(Y / \text{diminution du temps})}$
 mais pour simplifier, on considère qu'elles sont toujours égales.

$$Y = X_0 \cdot \bar{S} + X_1 \cdot S$$

$$Y = \text{MUX}(S, X_0, X_1)$$

(toutes les fonctions sont des fonctions du temps, et MUX : opérateur (multiplexeur))

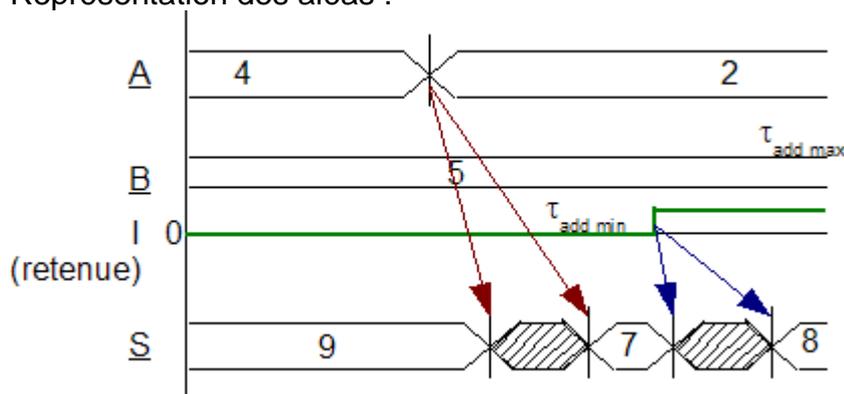
$$\tau_{mux} = P'_{p(Y / S \text{ augmente, } X_0=1, X_1=0)}$$

$$\text{loi de composition : } T'_p = T^1_p + T^2_p + \dots + T^n_p$$

$$\text{d'où : } \tau_{mux} = \tau_{not} + \tau_{and} + \tau_{or}$$

Un opérateur combinatoire va avoir un comportement étrange quand on a des évènements en entrée. On appelle ceci des aléas. (les aléas apparaissent lors d'un changement d'état de la sortie). On explique les aléas grâce à un chronogramme.

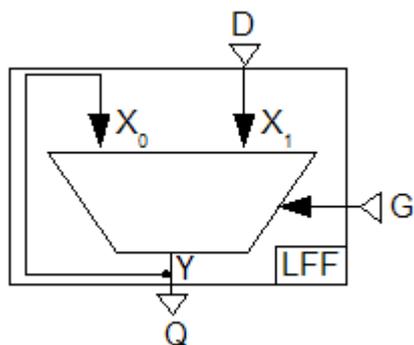
Représentation des aléas :



IV) Systèmes séquentiels asynchrones

1) Topologie des réseaux logiques

en combinatoire, Y ne dépend pas de lui-même (pas de mémoire dans le système)
 multiplexeur :

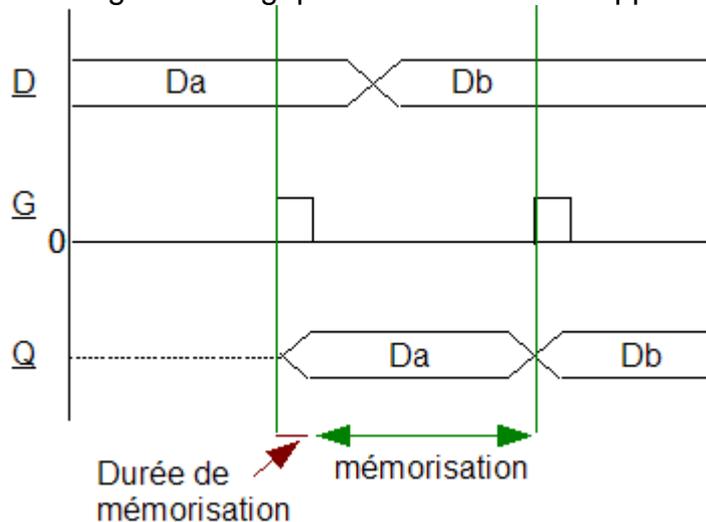


$G = 1 \Rightarrow Q=D$

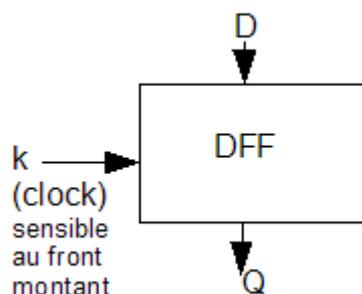
$G = 0 \Rightarrow$ la dernière valeur de D avant que G diminue est mémorisée (elle va tourner indéfiniment)

LFF : Latch Flip-Flop = bascule verrou

chronogramme logique : les débits sont supposés nuls :



2) Bascule D (en anglais : data flip-flop => DFF)



La mémorisation est instantanée (sur son chronogramme, il n'y aura pas de durée de mémorisation).



V) Systèmes séquentiels synchrones

1) Définition

systèmes dont l'état interne (mémorisé) ne change qu'à l'instant de synchronisation, ie coup d'horloge.

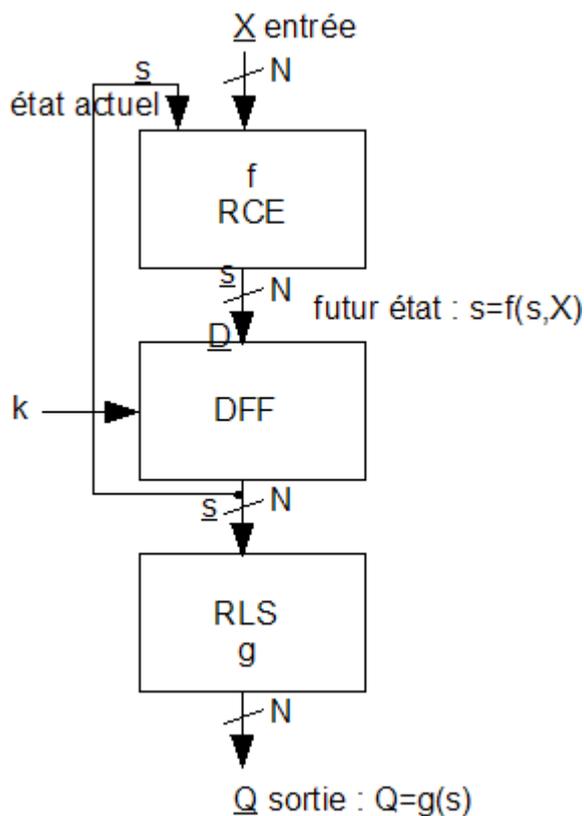


2) Machine de Moore synchrone

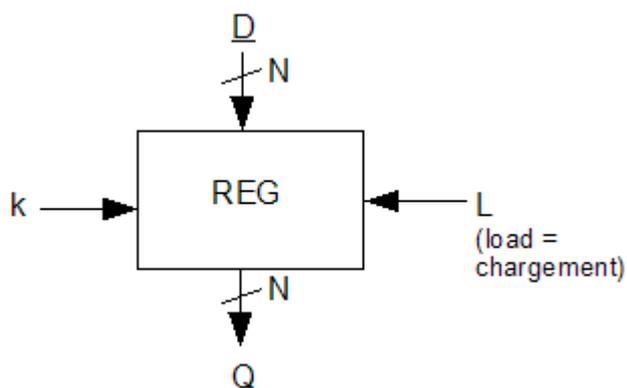
ensemble d'états et de transitions (on met des traits sur les transitions).
 Les transitions sont synchrones (elles ne se déclenchent qu'en fonction de l'horloge). Les transitions correspondent à des valeurs d'entrées, et on a les sorties dans les états.
 Ce graphe s'appelle un graphe d'état d'une machine de Moore.
 (une machine de Moore est un cas particuliers des automates).



3) Réalisation



4) Registre



décomposition en machine de Moore simplifiée (RLS = identité) :

